

5T 靜態隨機存取記憶體

文忠宇
修平科技大學電機工程系碩士班 碩士生
jhong_yu@ymail.com

蕭明椿
修平科技大學電機工程系 教授
mcshiau@hust.edu.tw

摘要

本論文提出一種 5T 靜態隨機存取記憶體 (SRAM)，於讀取模式之第一階段時，將 NMOS 電晶體 N11 的源極從原本的接地電壓改為比接地電壓還低，此時可配置較小通道寬長比之 NMOS 電晶體 N11 與 NMOS 電晶體 N12 即可完成讀取動作，且於讀取邏輯 0 時也不會造成 NMOS 電晶體 N12 由於瞬間導通而阻礙讀取操作，而於讀取模式之第二階段時，則將藉由將 NMOS 電晶體 N11 的源極從比接地電壓還低設定回接地電壓，以便減少無謂的功率消耗；於寫入模式時，將 NMOS 電晶體 N11 的源極維持原本的接地電壓，此時因配置有較小通道寬長比之 NMOS 電晶體 N11，因此可有效避免習知具單一位元線之單埠 SRAM 存在寫入邏輯 1 相當困難之問題；於待機模式時，可有效降低漏電流，而於保持模式時則可維持原有的電氣特性。再者，藉由該待機啟動電路的設計，以有效促使具單埠 SRAM 快速進入待機模式，並因而有效提高單埠 SRAM 之待機效能。此外，藉由該複數個字元線電壓位準轉換電路以及複數個高電壓位準控制電路的設計，以在於讀取模式下藉由增加 NMOS 電晶體 N13 之導通電阻與減少 NMOS 電晶體 N11 之導通電阻，以有效降低讀取時之半選定晶胞干擾。

關鍵詞：預充電電路、待機啟動電路、待機模式、漏電流、半選定晶胞干擾

Abstract

This paper presents a Five-Transistor Static Random Access Memory (5T SRAM). In the first stage of the reading mode, lower the source electrode of the NMOS transistor N11 from an original ground voltage to less than the ground voltage, at this time can configure the smaller channel width to length ratios of the NMOS transistor N11 and NMOS transistor N12 to complete reading a logic 0 during which the NMOS transistor

N12 is always off. In the second stage of the reading mode, back the source electrode of the NMOS transistor N11 to the ground voltage in order to reduce unnecessary power consumption. In writing mode, maintain the source electrode of the NMOS transistor N11 at the original ground voltage, due to the configuration of the smaller channel width to length ratio of NMOS transistor N11, it can effectively avoid the conventional single-bit-line of a single-port SRAM exists a problem of considerable difficulty in writing a logic 1. In standby mode, it can effectively reduce the leakage current, while in the holding pattern can maintain their electrical characteristics. Furthermore, with the standby-start circuit is designed to effectively promote a single-port SRAM quickly enter standby mode, and thus improve the effectiveness of single-port SRAM of standby. Finally, during read operation, the word line voltage level conversion circuit and the high voltage level control circuit can increase the on-resistance of NMOS transistor N13 and reduce the on-resistance of the NMOS transistor N11, respectively, and such effectively reduce the semi-selected cell interference.

Keywords: precharge circuit, standby-start circuit, standby mode, leakage current, half-selected cell interference

1. 前言

如圖 1 所示 6T 單埠靜態隨機存取記憶體 (SRAM) 晶胞之電路示意圖，其中，PMOS 電晶體 P11 和 P12 稱為負載電晶體 (load transistor)，NMOS 電晶體 N11 和 N12 稱為驅動電晶體 (driving transistor)，NMOS 電晶體 N13 和 N14 稱為存取電晶體 (access transistor)，WL 為字元線 (word line)，而 BL

及 BLB 分別為位元線 (bit line) 及互補位元線 (complementary bit line)，由於該單埠 SRAM 晶胞需要 6 個電晶體，且於讀取邏輯 0 時，為了避免讀取操作初始瞬間 (initial instant) 另一驅動電晶體導通，節點 A 之讀取初始瞬間電壓 (V_{AR}) 必須滿足方程式 (1)：

$$V_{AR} = V_{DD} \times (R_{N11}) / (R_{N11} + R_{N13}) < V_{TN12} \quad (1)$$

以防止讀取時之半選定晶胞干擾 (half-selected cell disturbance)，其中， V_{AR} 表示節點 A 之讀取初始瞬間電壓， R_{N11} 與 R_{N13} 分別表示該 NMOS 電晶體 N11 與該 NMOS 電晶體 N13 之導通電阻，而 V_{DD} 與 V_{TN12} 分別表示電源供應電壓與該 NMOS 電晶體 N12 之臨界電壓，此導致驅動電晶體與存取電晶體間的電流驅動能力比 (即單元比率, cell ratio) 通常設定在 2.2 至 3.5 之間[1]。

圖 1 所示之 6T 單埠靜態隨機存取記憶體 (SRAM) 晶胞於寫入操作時之 HSPICE 暫態分析模擬結果，如圖 2 所示，其係使用 TSMC 90 奈米 CMOS 製程參數加以模擬。

用來減少 6T 靜態隨機存取記憶體 (SRAM) 晶胞之電晶體數之一種方式係揭露於圖 3 中。如圖 3 所示，一種僅具單位元線之 5T 單埠靜態隨機存取記憶體晶胞之電路示意圖，與圖 1 之 6T 單埠靜態隨機存取記憶體晶胞相比，此種 5T 靜態隨機存取記憶體晶胞比 6T 靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該 5T 單埠靜態隨機存取記憶體晶胞在不變更 PMOS 電晶體 P11 和 P12 以及 NMOS 電晶體 N11、N12 和 N13 的通道寬長比 (亦即保持與 6T SRAM 晶胞相同之電晶體通道寬長比) 的情況下存在寫入邏輯 1 相當困難之問題。茲考慮記憶晶胞左側節點 A 原本儲存邏輯 0 的情況，由於節點 A 之電荷僅單獨自位元線 (BL) 傳送，因此在將節點 A 中先前寫入的邏輯 0 蓋寫成邏輯 1 之寫入初始瞬間電壓 (V_{AW}) 等於方程式 (2)：

$$V_{AW} = V_{DD} \times (R_{N11}) / (R_{N11} + R_{N13}) \quad (2)$$

其中， V_{AW} 表示節點 A 之寫入初始瞬間電壓， R_{N11} 與 R_{N13} 分別表示 NMOS 電晶體 N11 與 NMOS 電晶體 N13 之導通電阻，比較方程式 (1) 與方程式 (2) 可知，寫入初始瞬間電壓 (V_{AW}) 小於 NMOS 電晶體 N12 之臨界電壓 V_{TN12} ，因而無法完成寫入邏輯 1 之操作。如圖 3 所示之 5T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如圖 4 所示，其係使用 TSMC 90 奈米 CMOS 製程參數加以模擬，由該模擬結果可証實，具單位元

元線之 5T 靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

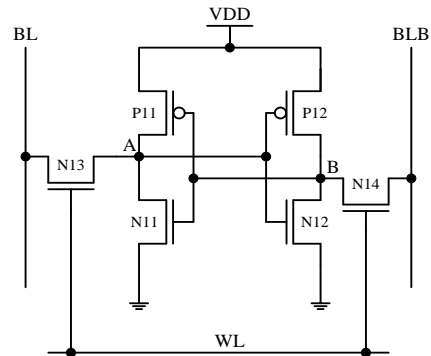


圖 1 習知 6T 靜態隨機存取記憶體晶胞之電路

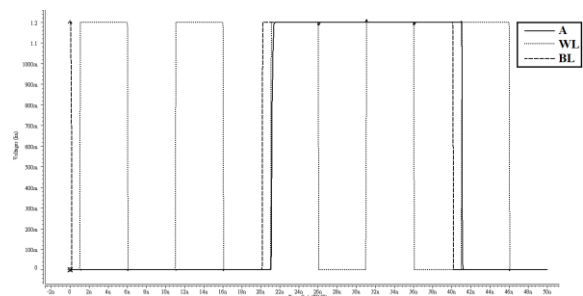


圖 2 習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序

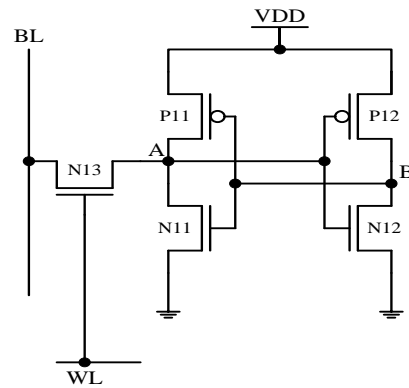


圖 3 習知 5T 靜態隨機存取記憶體晶胞之電路

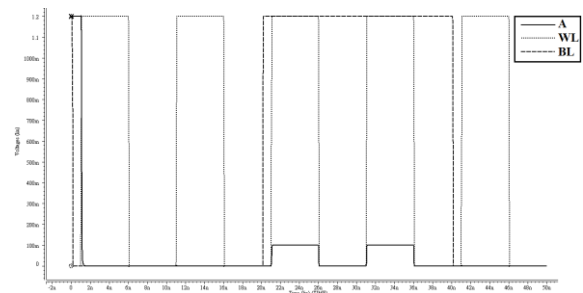


圖 4 習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序

至今，有許多解決上述 5T 靜態隨機存取記憶體晶胞寫入邏輯 1 困難之方法[2]-[19]，第一種方法[2]-[6]為寫入時將供應至記憶體晶胞之電壓位準拉低至低於電源供應電壓 (VDD)，以便於寫入邏輯 1 時 (假設節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1)，藉由提高驅動電晶體 NMOS 電晶體 N11 之導通電阻以於寫入操作期間能使驅動電晶體 NMOS 電晶體 N12 導通，而完成寫入邏輯 1 之操作，該等方法雖可有效解決寫入邏輯 1 困難之問題，惟由於該等方法需設置雙電源及/或放電路徑，且該等方法寫入時須將供應至記憶體晶胞之電壓位準拉低至低於電源供應電壓 (VDD) 並於寫入完成後將供應至記憶體晶胞之電壓位準回復為電源供應電壓 (VDD)，因此均會造成無謂的功率耗損，再者該方法未考慮到降低待機功率及 45 奈米操作電壓將降為 $1.1\pm 30\%$ 時所造成讀取速度降低等問題，因此仍有改進空間。

第二種方法[7]為重新設計 PMOS 電晶體 P11 和 P12 以及 NMOS 電晶體 N11、N12 和 N13 的通道寬長比，惟由於 PMOS 電晶體 P11 和 P12 的通道寬長比不再相同且 NMOS 電晶體 N11 和 N12 的通道寬長比不再相同，因此會使靜態雜訊邊際(SNM)降低，且亦未考慮到降低待機功率及 45 奈米操作電壓將降為 $1.1\pm 30\%$ 時所造成讀取速度降低等問題，因此仍有改進空間。

第三種方法[8]為寫入時將供應至記憶體晶胞之存取電晶體 N13 閘極之字元線 (WL) 電壓位準拉高至高於電源供應電壓 (VDD)，以便於寫入邏輯 1 時 (假設節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1)，藉由降低存取電晶體 N13 之導通電阻以於寫入初始瞬間 (write initial instant) 能使驅動電晶體 NMOS 電晶體 N12 導通，而完成寫入邏輯 1 之操作，惟由於寫入時將供應至記憶體晶胞之存取電晶體 (N13) 閘極之字元線 (WL) 電壓位準拉高至高於電源供應電壓 (VDD) 會增加寫入時之半選定晶胞干擾 (half-selected cell disturbance)，且亦未考慮到 45 奈米操作電壓降為 $1.1\pm 30\%$ 時所造成讀取速度降低之問題，因此仍有改進空間。

第四種方法[9]-[13]為寫入時將驅動電晶體 NMOS 電晶體 N11 之源極電壓位準拉高至高於接地電壓，以便於寫入邏輯 1 時 (假設節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1)，藉由提高驅動電晶體 NMOS 電晶體 N11 之汲

極電壓位準，以於寫入初始瞬間能使驅動電晶體 NMOS 電晶體 N12 導通，而完成寫入邏輯 1 之操作，惟由於該等方法均未考慮到 45 奈米操作電壓降為 $1.1\pm 30\%$ 時所造成讀取速度降低之問題，另參考文獻[13] 雖考慮到 45 奈米以下 SRAM 操作電壓降為 $1.1\pm 30\%$ 時所造成讀取速度降低之問題，惟由於係藉由讀取操作期間將驅動電晶體 NMOS 電晶體 N11 之源極電壓由原本之接地電壓下拉至低於接地電壓以提高讀取速度，但缺乏於該讀取操作期間將該驅動電晶體 NMOS 電晶體 N11 之源極電壓由低於接地電壓回復至接地電壓之機制，因此存在無謂的功率耗損之缺失，故仍有改進空間。

第五種方法為寫入時藉由背閘極偏壓 (back gate bias) 技術以提高驅動電晶體 NMOS 電晶體 N11 之臨界電壓並同時降低存取電晶體 N13 之臨界電壓，以便於寫入邏輯 1 時 (假設節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1)，藉由提高驅動電晶體 NMOS 電晶體 N11 之汲極電壓位準，以於寫入初始瞬間能使驅動電晶體 NMOS 電晶體 N12 導通，而完成寫入邏輯 1 之操作，惟該方法須使用分離井 (split well) 會增加製程複雜度，因此鮮少使用。

第六種方法[14]-[15]為重新設計 PMOS 電晶體 P11 和 P12 以及 NMOS 電晶體 N11、N12 和 N13 之間的連接關係，惟由於該等非專利文獻並未考慮到 45 奈米操作電壓降為 $1.1\pm 30\%$ 時所造成讀取速度降低之問題，因此仍有改進空間。

最後，探討[16]-[19]藉由將所有記憶體晶胞中之 NMOS 電晶體 N11 和 N12 之源極電壓由原本之接地電壓提高至較接地電壓為高之一預定電壓，以謀求降低待機操作之功率消耗的之技術，該等技術於待機操作時，均是藉由將所有記憶體晶胞中之驅動電晶體 (亦即圖 1 之 NMOS 電晶體 N11 和 N12) 之源極電壓由原本之接地電壓提高至較該接地電壓為高之一預定電壓，以謀求降低待機操作之功率消耗，惟由於該等技術之較接地電壓為高的該預定電壓僅係藉由電晶體之漏電流對寄生電容的充電而產生，而造成靜態隨機存取記憶體進入待機模式之速度極為緩慢，並因而導致降低待機效能之缺失：亦即該等技術均缺乏待機啟動電路以促使靜態隨機存取記憶體快速進入待機模式，因此仍有改進空間。

2. 本論文提出之 5T SRAM

本論文提出一種 5T 靜態隨機存取記憶體 (SRAM)，其主要包括一記憶體陣列、複數個控制電路、複數個預充電電路、一待機啟動電路、複數個字元線電壓位準轉換電路以及複數個高電壓位準控制電路，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞設置一個控制電路及一個字元線電壓位準轉換電路，且每一記憶體晶胞係包括一第一反相器（由一 PMOS 電晶體 P11 與一 NMOS 電晶體 N11 所組成）、一第二反相器（由一 PMOS 電晶體 P12 與一 NMOS 電晶體 N12 所組成）及一存取電晶體（由 NMOS 電晶體 N13 所組成）。於讀取模式之第一階段時，將 NMOS 電晶體 N11 的源極從原本的接地電壓改為比接地電壓還低，此時可配置較小通道寬長比之 NMOS 電晶體 N11 與 NMOS 電晶體 N12 即可完成讀取動作，且於讀取邏輯 0 時也不會造成 NMOS 電晶體 N12 由於瞬間導通而阻礙讀取操作，而於讀取模式之第二階段時，則將藉由將 NMOS 電晶體 N11 的源極從比接地電壓還低設定回接地電壓，以便減少無謂的功率消耗；於寫入模式時，將 NMOS 電晶體 N11 的源極維持原本的接地電壓，此時因配置有較小通道寬長比之 NMOS 電晶體 N11，因此可有效避免習知具單一位元線之單埠 SRAM 存在寫入邏輯 1 相當困難之問題；於待機模式時，可有效降低漏電流，而於保持模式時則可維持原有的電氣特性。再者，藉由該待機啟動電路的設計，以有效促使具單埠 SRAM 快速進入待機模式，並因而有效提高單埠 SRAM 之待機效能。此外，藉由該複數個字元線電壓位準轉換電路以及複數個高電壓位準控制電路的設計，以在於讀取模式下藉由增加 NMOS 電晶體 N13 之導通電阻與減少 NMOS 電晶體 N11 之導通電阻，以有效降低讀取時之半選定晶胞干擾。

為了便於說明起見，如圖 5 所示之靜態隨機存取記憶體僅以一個記憶體晶胞、一條字元線 (WL)、一條位元線 (BL)、一控制電路、一預充電電路、一待機啟動電路、一字元線電壓位準轉換電路以及高電壓位準控制電路做為實施例來說明。其中記憶體晶胞係包括 NMOS 電晶體 (N11、N12 和 N13) 和 PMOS 電晶體 (P11 和 P12)、一條字元線 (WLC) 以及一條位元線 (BL)；控制電路係包括 NMOS 電晶體 (N21、N22、N23、N24、N25 和 N26)、延遲電路 D1 以及反相器 INV；預充電電路係包括

PMOS 電晶體 P31；該待機啟動電路係包括 NMOS 電晶體 N41、PMOS 電晶體 P41 以及延遲電路 D2；該字元線電壓位準轉換電路係包括 NMOS 電晶體 (N51 和 N52) 以及 PMOS 電晶體 P51；該高電壓位準控制電路係包括 PMOS 電晶體 (P61、P62) 以及反相器 I63。

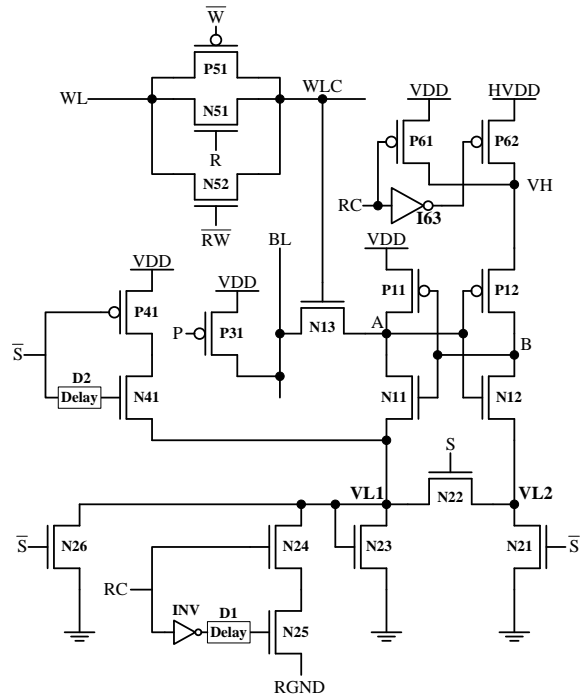


圖 5 本論文提出之 5T SRAM

該控制電路係設計成可因應不同操作模式而控制該節點 VL1 與節點 VL2 之電壓位準。

於寫入模式時，該待機控制信號 (S) 和該讀取控制信號 (RC) 為邏輯低位準、該反相待機控制信號 (\bar{S}) 為邏輯高位準，使得 NMOS 電晶體 N26 導通 (ON)，將 NMOS 電晶體 N11 的源極電壓 (即節點 VL1 電壓) 設定成接地電壓，且將 NMOS 電晶體 N12 的源極電壓 (即節點 VL2 電壓) 設定成接地電壓，由於電晶體 N11 之通道寬長比係設計成比圖 1 之傳統 6T SRAM 的驅動電晶體 N11 之通道寬長比還來得小，亦即，節點 A 原本儲存邏輯 0 而現在欲寫入邏輯 1 之寫入初始瞬間電壓 (V_{AW}) 滿足方程式 (3)：

$$V_{AW} = V_{DD} \times (R_{N11}) / (R_{N11} + R_{N13}) > V_{TN12} \quad (3)$$

其中， V_{AW} 表示節點 A 之寫入初始瞬間電壓， R_{N11} 與 R_{N13} 分別表示 NMOS 電晶體 N11 與 NMOS 電晶體 N13 之導通電阻，而 V_{DD} 與 V_{TN12} 分別表示該電源供應電壓與 NMOS 電晶體 N12 之臨界電壓，因此可有效避免寫入邏輯 1 困難之問題。

於讀取操作開始前，該待機控制信號 (S) 和該讀取控制信號(RC)為邏輯低位準、該反相待機控制信號(/S)為邏輯高位準，使得 NMOS 電晶體 N26 導通(ON)，並使得節點 VL1 呈接地電壓。另一方面，由於該讀取控制信號(RC)為邏輯低位準，使得 NMOS 電晶體 N24 截止 (OFF)，並使得 NMOS 電晶體 N25 導通(ON)。

於讀取模式之第一階段時，該待機控制信號 (S) 為邏輯低位準、該反相待機控制信號 (/S) 和該讀取控制信號(RC)為邏輯高位準，使得 NMOS 電晶體 N24 導通(ON)，由於此時 NMOS 電晶體 N25 仍導通(ON)，將 NMOS 電晶體 N11 的源極電壓 (即節點 VL1 電壓) 設定成較接地電壓為低之該加速讀取電壓 (RGND)，該較接地電壓為低之該加速讀取電壓 (RGND) 可有效提高讀取速度，而於讀取模式之第二階段時，雖然該讀取控制信號(RC)仍為邏輯高位準，使得 NMOS 電晶體 N24 仍為導通(ON)，惟由於此時 NMOS 電晶體 N25 截止(OFF)，將 NMOS 電晶體 N11 的源極電壓 (即節點 VL1 電壓) 設定回接地電壓，藉此可有效減少無謂的功率消耗，其中該讀取模式之該第二階段與該第一階段相隔之時間，係等於該讀取控制信號(RC)由邏輯低位準轉變為邏輯高位準起算，並至 NMOS 電晶體 N25 之閘極電壓足以關閉 NMOS 電晶體 N25 為止之時間，其相隔之時間可藉由反相器 INV 之下降延遲時間與延遲電路 D1 所提供之延遲時間來調整。

於待機模式時，該待機控制信號 (S) 為邏輯高位準、該反相待機控制信號 (/S) 和該讀取控制信號(RC)為邏輯低位準，可使得該控制電路中之 NMOS 電晶體(N21、N24 和 N26) 截止(OFF)以及使得 NMOS 電晶體 N22 導通 (ON)，以使得節點 VL1 之電壓位準相等於節點 VL2 之電壓位準，且該等電壓位準均會等於 NMOS 電晶體 N23 之臨界電壓 (V_{TN23}) 的電壓位準，將所有記憶晶胞中 NMOS 電晶體 N11 和 N12 的源極電壓設定成較接地電壓為高之該預定電壓，以便降低漏電流[20]。

於保持模式時，該待機控制信號 (S) 和該讀取控制信號(RC)為邏輯低位準、該反相待機控制信號 (/S) 為邏輯高位準，將記憶晶胞中 NMOS 電晶體 N11 和 N12 的源極電壓設定成接地電壓，以便維持原來之保持特性。

該控制電路詳細工作電壓位準如表 1 所示，表 1 中之該讀取控制信號(RC)為一讀取信號(R)與對應之字元線 (WL) 信號的及閘運算

結果。在此值得注意的是，對於非選定字元線及非選定位元線係設定為浮接 (floating) 狀態，而對於非讀取模式期間之該讀取控制信號 (RC)係設定為該加速讀取電壓 (RGND) 之位準，以防止 NMOS 電晶體 N24 之漏電流。

表 1 各種工作模式下 VL1 和 VL2 之電壓位準

| RC | S | VL1 | VL2 | 模式 |
|----------|----------|-------------------------|---------------|----|
| RGND | 0 | 0 | 0 | 寫入 |
| V_{DD} | 0 | RGND (第一階段) 0 (第二階段) | 0 | 讀取 |
| RGND | V_{DD} | $V_{GS(N23)}$ | $V_{GS(N23)}$ | 待機 |
| RGND | 0 | 0 | 0 | 保持 |

該預充電電路係設計成，於預充電期間，藉由邏輯低位準之該預充電信號 (P)，將該位元線 (BL) 預充電至該電源供應電壓 (V_{DD}) 之位準。

該待機啟動電路係設計成，於進入待機模式之前，該反相待機模式控制信號 (/S) 為邏輯 High，該邏輯 High 之反相待機模式控制信號 (/S) 使得 PMOS 電晶體 P41 截止 (OFF)，並使得 NMOS 電晶體 N41 導通 (ON)；而於進入待機模式後，該反相待機模式控制信號 (/S) 為邏輯 Low，該邏輯 Low 之反相待機模式控制信號 (/S) 使得 PMOS 電晶體 P41 導通 (ON)，惟於待機模式之初始期間內 (該初始期間係等於該反相待機模式控制信號 (/S) 由邏輯 High 轉變為邏輯 Low 起算，至 NMOS 電晶體 N41 之閘極電壓足以關閉 NMOS 電晶體 N41 為止之時間，其可藉由延遲電路 D2 所提供之一延遲時間來調整)，NMOS 電晶體 N41 仍導通 (ON)，於是可對節點 VL1 電壓快速充電到達 NMOS 電晶體 N23 之臨界電壓 (V_{TN23}) 的電壓位準，亦即單埠 SRAM 可快速進入待機模式。在此值得注意的是，於待機模式之初始期間後，NMOS 電晶體 N41 關閉並停止供應電流。

該字元線電壓位準轉換電路係設計成，於讀取模式下，將施加至選定晶胞之存取電晶體的字元線(WL)電壓下拉至低於該電源供應電壓 (即 $V_{DD} - V_{TN51}$) 增加 NMOS 電晶體 N13 之導通電阻，以有效降低讀取時之半選定晶胞干擾，該字元線電壓位準轉換電路之詳細工作電壓位準如表 2 所示，表 2 中之 V_{TN51} 表示該第十一 NMOS 電晶體 N51 之臨界電壓。

表 2 各種工作模式下 WLC 之電壓位準

| | WL | R | /W | /RW | WLC | 模式 |
|--------|-----------------|-----------------|-----------------|-----------------|-------------------------------------|-----|
| 選定列晶胞 | V _{DD} | V _{DD} | V _{DD} | 0 | V _{DD} - V _{TN51} | 讀取 |
| 非選定列晶胞 | 0 | V _{DD} | V _{DD} | 0 | 0 | 讀取 |
| 選定列晶胞 | V _{DD} | 0 | 0 | V _{DD} | V _{DD} | 寫入 |
| 非選定列晶胞 | 0 | 0 | 0 | V _{DD} | 0 | 寫入 |
| 各晶胞 | 0 | 0 | V _{DD} | V _{DD} | 0 | 非讀寫 |

高電壓位準控制電路係設計成，於讀取模式下，該讀取控制信號(RC)為邏輯高位準，將高於該電源供應電壓 (V_{DD}) 之該高電源供應電壓 (HV_{DD}) 施加至 NMOS 電晶體 N11 之閘極，以減少 NMOS 電晶體 N11 之導通電阻 (RN11)，藉由減少 NMOS 電晶體 N11 之導通電阻，以有效降低讀取時之半選定晶胞干擾。

3. 模擬與結果

如圖 5 所示，本論文提出之 5T SRAM 於寫入操作時之 HSPICE 暫態分析模擬結果，如圖 6 所示，其係使用 TSMC 180 奈米 CMOS 製程參數加以模擬，由該模擬結果可証實，本論文提出之 5T SRAM，於寫入模式時，能藉由配置較小通道寬長比的 NMOS 電晶體 N11 提高寫入期間節點 A 之電壓位準，以有效避免習知具單一位元線之單埠 SRAM 存在寫入邏輯 1 相當困難之問題。

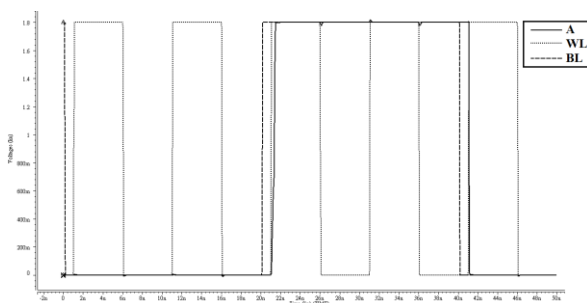


圖 6 本論文提出之 5T SRAM 之寫入動作時序

本論文提出之 5T SRAM 於讀取操作時之 HSPICE 暫態分析模擬結果，如圖 7 所示，其與習知 6T SRAM 之比較則顯示於表 3 中，表 3 係以讀取時，位元線 (BL) 由電源供應電壓 (V_{DD}) 開始下降算起，至下降 0.05、0.1 和

0.15V 之電壓差為止所需的時間做比較，該比較證實本論文提出之 5T SRAM 於讀取邏輯 0 比習知 6T SRAM 至少快 19%。

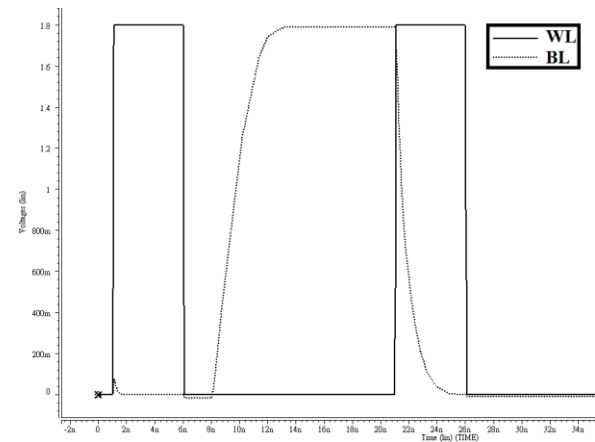


圖 7 本論文提出之 5T SRAM 之讀取動作時序

表 3 本論文提出之 5T SRAM 與習知 6T SRAM 之讀取速度比較

| 下降電壓 (V) | 習知 SRAM 所需時間 (ns) | 本論文提出之 SRAM 所需時間(ns) | 比習知 SRAM 快(%) |
|----------|-------------------|----------------------|---------------|
| 0.05 | 0.0665 | 0.0491 | 26 |
| 0.1 | 0.0975 | 0.0783 | 20 |
| 0.15 | 0.129 | 0.105 | 19 |

如圖 8 所示，本論文提出之 5T SRAM 於待機時之 HSPICE 暫態分析模擬結果，由於本論文提出之待機啟動電路，使得進入待機狀態時，節點 VL1 和 VL2 之電壓快速達到待機所需之電壓。

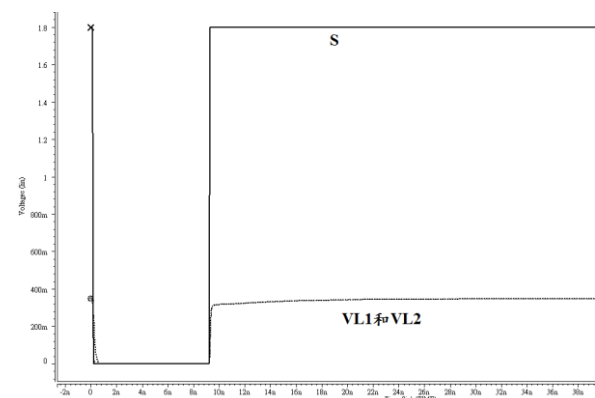


圖 8 本論文提出之 5T SRAM 之待機動作時序

4. 結論

本論文提出之 5T SRAM，具有如下功效：

(1) 高設計自由度：由於本論文所提出之 5T 靜態隨機存取記憶體於讀取邏輯 0 時，將儲存節點 A 下拉至低於 NMOS 電晶體 N12 之臨界電壓 (V_{TN12}) 共有三個機制，第一為藉由字元線電壓位準轉換電路，以將施加至選定晶胞之存取電晶體 (即 NMOS 電晶體 N13) 的字元線電壓下拉至低於電源供應電壓 (即 $V_{DD} - V_{TN51}$)，第二為藉由低於接地電壓之加速讀取電壓 (RGND) 以下拉儲存節點 A，第三為藉由高電壓位準控制電路以將高於電源供應電壓 (V_{DD}) 之高電源供應電壓 (HVDD) 施加至第一 NMOS 電晶體 N11 之閘極，因此具備高設計自由度之功效；

(2) 有效降低讀取時之半選定晶胞干擾：本論文所提出之 5T 靜態隨機存取記憶體可藉由字元線電壓位準轉換電路，以於讀取操作期間將施加至選定晶胞之存取電晶體 (即 NMOS 電晶體 N13) 的字元線電壓下拉至低於該電源供應電壓 (即 $V_{DD} - V_{TN51}$)，其一方面可降低半選定晶胞中之 NMOS 電晶體 N13 的讀取干擾，另一方面可藉由減輕滿足方程式所需之加速讀取電壓 (RGND)，以降低半選定晶胞中之 NMOS 電晶體 N11 的讀取干擾；

(3) 較小之晶胞尺寸：由於本論文所提出之 5T 靜態隨機存取記憶體係將該 NMOS 電晶體 N11 對 NMOS 電晶體 N13 之通道寬長比的比值設計為 1.2 至 1.5 之間，因此具有較小之晶胞尺寸；

(4) 高讀取速度並避免無謂的功率消耗：本論文所提出之 5T 靜態隨機存取記憶體係採用二階段讀取操作，於讀取操作之第一階段藉由將節點 VL1 電壓設定成較接地電壓為低之該加速讀取電壓 (RGND) 以有效提高讀取速度，而於讀取操作之第二階段則藉由將節點 VL1 電壓設定回接地電壓，以便減少無謂的功率消耗；

(5) 避免寫入邏輯 1 困難之問題：本論文所提出之 5T 靜態隨機存取記憶體於寫入操作時，可藉由配置較小通道寬長比的 NMOS 電晶體 N11 以於不阻礙讀取操作的情況下，有效避免習知具單一位元線之單埠 SRAM 存在寫入邏輯 1 相當困難之問題；

(6) 快速進入待機模式：由於本論文所提出之 5T 靜態隨機存取記憶體設置有待機啟動電路以促使 SRAM 快速進入待機模式，並藉此以謀求提高單埠 SRAM 之待機效能；

(7) 低待機電流：由於本論文所提出之 5T 靜態隨機存取記憶體於待機模式時，可藉由呈導通狀態之 NMOS 電晶體 N22，以使得節點 VL1 電壓之電壓位準相等於節點 VL2 電壓之電壓位準，並使得該等電壓位準均等於 NMOS 電晶體 N23 之臨界電壓的位準，因此本論文所提出之單埠靜態隨機存取記憶體亦具備低待機電流之功效；

(8) 低電晶體數：對於具有 1024 列 1024 行之 SRAM 陣列而言，如圖 1 習知 6T 靜態隨機存取記憶體陣列共需 $1024 \times 1024 \times 6 = 6,291,456$ 顆電晶體，而本論文所提出之靜態隨機存取記憶體僅至少需 $1024 \times 1024 \times 5 + 1024 \times 22 + 12 = 5,265,420$ 顆電晶體，其減少 16.3% 之電晶體數。

雖然本論文所提出之 5T SRAM 雖經 TSMC 180 奈米 CMOS 製程參數加以模擬，證實可達成上述功效，惟尚未經下線實作量測，實為美中不足。

本論文所提出之 5T SRAM 將於取得發明專利後，利用工研院所推「專利交易平台網」尋授權廠商。

參考文獻

- [1] Yuen H. Chan, William V. Huott and Donald W. Plass, "Eight transistor SRAM cell with improved stability requiring only one word line", US pat. 7606060 B2, Oct. 20, 2009.
- [2] Jui-Lung Chen, Yi-Hsun Chung, Chia-Chiuan Chang, and Wei-Shung Chen, "Memory System", US pat. 7706203 B2, Apr. 27, 2010.
- [3] Ming-Chuen Shiau, Chien-Cheng Yu, and En-Ghieh Chang, "Single port SRAM having a lower power voltage in writing operation", TW pat. I426515 B, Feb. 11, 2014.
- [4] Ming-Chuen Shiau, Chien-Cheng Yu, and Kuan-Ting Chen, "Single port SRAM having a lower power voltage in writing operation", TW pat. I426514 B, Feb. 11, 2014.
- [5] Ming-Chuen Shiau and Wei-Che Tsai, "Single port SRAM having a discharging path", TW pat. I419162 B, Dec. 11, 2013.
- [6] Sushil Sudam SAKHARE, "Five transistor SRAM cell", US pat. 2014/0029333 A1, Jan. 30, 2014.
- [7] Satyanand Nalam *et al.*, "5T SRAM with asymmetric sizing for improved read stability", *IEEE Journal of Solid-State Circuits*, vol. 46. no. 10, pp. 2431- 2442, Oct. 2011.
- [8] Ming-Chuen Shiau and Sheng-Wei Liao, "Single port SRAM having a higher voltage word line in writing operation", TW pat. I404065 B, Aug. 1, 2013.
- [9] Ming-Chuen Shiau and En-Ghieh Chang, "High performance SRAM", TW pat. I451414 B, Sep. 1, 2014.
- [10] Ming-Chuen Shiau and En-Ghieh Chang, "5T single port SRAM", TW pat. I436359 B, May 1, 2014.
- [11] Ming-Chuen Shiau and En-Ghieh Chang, "5T SRAM", TW pat. I433151 B, Apr. 1, 2014.
- [12] Ming-Chuen Shiau, Chien-Cheng Yu, and Kuan-Ting Chen, "Single port SRAM with reducing standby current", TW pat. I425510 B, Feb. 1, 2014.
- [13] Ming-Chuen Shiau, "High performance single port SRAM", TW pat. I478165 B, Mar. 21, 2015.
- [14] Chua-Chin Wang, Chiang-Hsiang Liao, and Sih-Yu Chen, "A single-ended disturb-free 5T loadless SRAM with leakage sensor and read delay compensation using 40 nm process," in *Proc. International Symposium on Circuits and Systems*, pp. 1126-1129, June 2014.
- [15] S. Akashe, S. Bhushan, and S. Sharma, "High density and low leakage current based 5T SRAM cell using 45 nm technology," in *Proc. International Conference on Nanoscience, Engineering and Technology (ICONSET)*, Nov. 2011, pp. 346-350.
- [16] Osamu Hirabayashi, "Static random access memory (SRAM) with clamped source potential in standby mode", US pat. 7382674 B2, Jun. 3, 2008.
- [17] Osamu Hirabayashi, "Static random access memory device and method of reducing standby current", US pat. 7254085 B2, Aug. 7, 2007.
- [18] Tae-Hyoung Kim *et al.*, "A Voltage Scalable 0.26 V, 64 kb 8T SRAM With Vmin Lowering Techniques and Deep Sleep Mode", *IEEE Journal of Solid-State Circuits*, vol. 64, pp. 1785 - 1795, 2009.
- [19] Ding-Ming Kwai, "Modeling of SRAM Standby Current by Three-Parameter Lognormal Distribution", Design, and Testing, 2009. in *Proc. IEEE International Workshop on Memory Technology (MTDT '09)*, Aug. 31-Sept. 2, 2009, pp. 77 - 82.
- [20] Scott T. Becker, "Negatively charged wordline for reduced subthreshold current", US pat. 6865119 B2, Mar. 8, 2005.